

湖南省高等教育自学考试  
课程考试大纲

电子电路 **EDA** 技术  
(课程代码: 06169)

湖南省教育考试院组编  
2016 年 12 月

# 高等教育自学考试课程考试大纲

课程名称：电子电路 EDA 技术

课程代号：06169

## 第一部分 课程性质与目标

### 一、课程性质与特点

电子电路 EDA 技术是高等教育自学考试电子工程（本科）专业的选考课程，EDA 技术是电子设计自动化（Electronic Design Automation 的缩写，在 20 世纪 90 年代从计算机辅助设计（CAD）、计算机辅助制造（CAM）、计算机辅助测试（CAT）和计算机辅助工程（CAE）等工程的概念发展而来。EDA 技术就是设计者依靠功能强大的计算机为工具，在 EDA 平台上，用硬件描述语言（HDL）作为系统逻辑描述手段，完成设计文件，然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、仿真，直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC 芯片中，实现既定的电子电路设计功能。

EDA 技术使得电子电路系统设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现，从而极大地提高了设计效率，缩短了设计周期和节省了设计成本。EDA 技术已经成为电子设计的重要工具，无论对于系统设计还是芯片设计，没有 EDA 工具支持，将会难以完成设计任务。

### 二、课程目标与基本要求

本课程的目标与基本要求是：通过本课程的学习，要求掌握 EDA 开发工具 Quartus II 的使用方法。掌握 EDA 设计流程及输入方法。掌握硬件描述语言 VHDL、VERILOG HDL 的基本使用方法。掌握 EDA 工具软件 ModelSim、Quartus II、Nios II、Qsys 和基于 Matlab/DSP Builder 的 DSP 模块设计的基本使用方法。熟悉 PLA、PAL、GAL、EPLD、和 FPGA 等各类可编程逻辑器件的电路结构、工作原理和使用方法，以及可编程逻辑器件的编程方法。掌握电路仿真测试和硬件测试的基本方法，验证实际设计电路和系统。从而提高考生工程实践能力，学会应用 EDA 技术完成一些基本电路的设计。

### 三、与本专业其他课程的关系

本课程是电子工程专业的基础课程，先期课程：数字电子技术、模拟电子技术、程序设计基础和 C 语言。

## 第二部分 考核内容与考试目标

### 第一章 EDA 技术概述

#### 一、学习目的与要求

1. 了解 EDA 技术及其发展的历史和 EDA 技术发展目标。
2. 熟悉基于 VHDL 自顶向下的设计流程。

3. 了解 VHDL、VERILOG HDL 和 AHDL 硬件描述语言的特点。
4. 了解可编程逻辑器件的种类和用途。
5. 了解 EDA 工具设计输入编辑器、仿真器、HDL 综合器、适配器和下载器的作用。

## 二、考核知识点与考核目标

### （一）EDA 设计流程和常用 EDA 工具（重点）

识记：1. 原理图、硬件描述语言、波形图、时序分析、仿真等概念

2. EDA 工具的作用

理解：1. 设计输入的各种方式

2. 设计处理的步骤

3. 设计效验的内容

4. 器件编程的过程及条件

5. 器件测试和设计验证的内容和步骤

6. EDA 工具包含的模块内容

应用：1. 掌握 EDA 设计流程

2. EDA 工具各模块的用途

### （二）硬件描述语言（次重点）

识记：VHDL、VERILOG HDL 和 AHDL 的含义

理解：硬件描述语言的作用

应用：不同硬件描述语言的特点和区别

### （三）EDA 技术的历史和发展目标（一般）

识记：CAD、CAM、CAT、CAE、SOC、CPLD、FPGA 和 ASIC

理解：集成电路的集成度

应用：微电子工艺发展水平

## 第二章 EDA 工具软件的使用方法

### 一、学习目的与要求

1. 了解 Quartus II（version 12）软件的特点和功能。
2. 掌握 Quartus II 软件菜单命令和图形设计方法。
3. 熟悉 ModelSim-Altera 的仿真方法。
4. 熟悉 Quartus II 的宏功能模块的使用方法。
5. 掌握 Quartus II 嵌入式逻辑分析仪的使用方法。
6. 掌握 Quartus II 嵌入式锁相环的使用方法
7. 了解设计优化的概念和设计优化的作用。

### 二、考核知识点与考核目标

#### （一）Quartus II 图形输入法（重点）

识记：Quartus II 软件主界面的布局

理解：1. Quartus II 软件主界面菜单与工具栏、主窗口、工程引导窗口、任

务窗口和信息窗口各自的作用。

2. 图形（原理图）输入法的特点和操作流程
3. 编译设计文件所需 5 个环节的内容和作用
4. 仿真测试的流程和方法
5. 编程下载的方式和步骤

应用：实现简单数字电路的设计

（二）Quartus II 软件宏功能模块、嵌入式逻辑分析仪的使用方法和嵌入式锁相环的设计方法（次重点）

识记：1. 宏功能模块 LPM（Library parameterized megafunction）、Megacore 及 AMPP

2. 波形发生器的组成

理解：1. 宏功能模块的作用

2. 波形发生器的工作原理
3. 嵌入式逻辑分析仪的作用
4. 嵌入式锁相环的功能

应用：1. Quartus II 软件宏功能模块使用方法  
2. 嵌入式逻辑分析仪的使用方法  
3. 嵌入式锁相环的设计方法应用流程

（三）设计优化与 Quartus II 的 RTL 阅读器（一般）

识记：面积与速度优化

理解：1. 设计优化的目的

2. Quartus II 的 RTL 的功能和使用方法

应用：对于实际工程设计进行设计优化

## 第三章 VHDL

### 一、学习目的与要求

1. 了解 VHDL 语言特点和设计实体的基本结构。
2. 熟悉 VHDL 的语言规则和要素。
3. 熟悉 VHDL 的设计流程和语句。
4. 掌握 VHDL 实现各种类型数字电路的方法。
5. 熟悉 VHDL 仿真。

### 二、考核知识点与考核目标

（一）VHDL 设计实体的基本结构和 VHDL 语言要素（重点）

识记：1. 设计实体的基本结构图

2. 进程、配置、元件、综合、VHDL 综合器和完整的 VHDL 程序概念
3. 库、结构体和 VHDL 程序包的概念

理解：1. 实体的概念和组成

2. 结构体的功能和组成
3. 基本逻辑器件的 VHDL 描述流程
4. VHDL 语言要素的基本含义和使用方法
5. VHDL 文字规则的内容和各自的功能
6. VHDL 数据对象的含义和作用
7. VHDL 数据类型、预定义数据类型的特点和作用
8. VHDL 操作符的类型、作用和使用方法
9. VHDL 常用的预定义的属性函数的含义和作用

应用：正确使用设计实体的基本结构图和 VHDL 语言要素进行逻辑器件的 VHDL 描述

## （二）VHDL 基本描述语句 （次重点）

- 识记：1. 顺序语句和并行语句概念
2. 赋值语句、流程控制语句的概念
  3. CASE 语句、LOOP 语句、NEXT 语句、WAIT 语句、ASSERT 语句和 NULL 语句的格式
  4. 并行语句的种类

- 理解：1. 顺序语句的种类、作用和特点
2. 流程控制语句的特点和使用方法
  3. 并行语句的特点和使用方法

应用：利用 VHDL 基本描述语句进行组合逻辑电路和时序逻辑电路的设计

## （三）VHDL 库和程序、设计流程及其仿真（一般）

识记：IEEE 标准库、STD 库和 WORK 库

- 理解：1. VHDL 库和程序包的功能和使用方法
2. VHDL 设计流程的内容及其仿真的作用

- 应用：1. 正确使用 VHDL 库和程序包进行编程
2. VHDL 仿真判断逻辑器件描述是否正确

# 第四章 Verilog HDL

## 一、学习目的与要求

1. 掌握 Verilog HDL 设计模块的基本结构；
2. 熟悉 Verilog HDL 的语言特点和语言规则；
3. 掌握 Verilog HDL 实现各种类型数字电路和系统设计的方法；
4. 了解 Verilog HDL 的设计流程；
5. 了解 Verilog HDL 的仿真方法。

## 二、考核知识点与考核目标

### （一）Verilog HDL 设计模块的基本结构和 Verilog HDL 词法（重点）

识记：Verilog HDL 程序模块结构图

- 理解：1. 模块端口定义的格式和含义

2. 功能描述的作用和方法
3. Verilog HDL 词法的规则和使用方法
4. Verilog HDL 数据对象的含义和作用
5. Verilog HDL 操作符的类型、作用和使用方法

应用：正确使用 Verilog HDL 设计模块的基本结构和 Verilog HDL 词法电路元件描述

## （二）Verilog HDL 语句 （次重点）

识记：赋值语句、条件语句、循环语句、结构声明语句和编译预处理语句的概念

理解：1. 赋值语句的种类和使用方法  
2. 条件语句的种类和格式  
3. 循环语句种类和格式  
4. 结构声明语句的作用和格式

应用：利用上述语句进行逻辑电路的描述

## （三）不同抽象级别的 Verilog HDL 模型、设计流程和仿真 （一般）

识记：Verilog HDL 模型定义

理解：1. Verilog HDL 门级描述的含义和内容  
2. Verilog HDL 行为级描述的含义和内容  
3. Verilog HDL 设计流程中每一步骤的作用  
4. Verilog HDL 仿真的作用和仿真方法

应用：正确进行数字电路模块的设计

# 第五章 常用 EDA 工具软件

## 一、学习目的与要求

1. 掌握 Modelsim 工具软件的使用方法。
2. 掌握 Quartus II 9.0 的使用方法。
3. 了解基于 Matlab/DSP Builder 的 DSP 模块设计方法。
4. 了解 Nios II 软件的使用方法。
5. 了解 Qsys 软件的使用方法。

## 二、考核知识点与考核目标

### （一）Modelsime 和 Quartus II 9.0 的使用方法 （重点）

识记：Modelsime 的功能

理解：1. Modelsime 的特点和工作流程  
2. Modelsime 用于仿真的主要命令的作用和格式  
3. Modelsime 和 Quartus II 的接口方法  
4. Quartus II 9.0 软件的安装方法  
5. Quartus II 软件主界面的内容  
6. Quartus II 的仿真流程和方法

7. Quartus II 宏功能模块的使用方法

8. 在 Quartus II 9.0 中使用 Modelsim 仿真的步骤和方法

应用：利用 Modelsim 软件对数字电路单元进行功能仿真和时序仿真

## （二）基于 Matlab/DSP Builder 的 DSP 模块设计（次重点）

识记：1. DSP 的概念

2. Matlab 软件的作用

理解：1. 正弦信号调制电路原理

2. 建立 Matlab 数据模型的步骤

3. Matlab 模型仿真流程和方法

4. Signal Compiler 的使用方法

5. 正弦信号调制电路硬件实现与测试的步骤和方法

应用：实现进行所需电路的设计与制作

## （三）Nios II 嵌入式系统开发软件和 Qsys 系统集成软件（一般）

识记：1. Nios II 嵌入式系统开发内容

2. Qsys 的定义

理解：1. Nios II 软件的使用流程和方法

2. Qsys 硬件开发的步骤和方法

应用：DSP 模块设计

# 第六章 可编程逻辑器件

## 一、学习目的与要求

1. 了解可编程逻辑器件的分类；
2. 掌握可编程逻辑器件的结构和工作原理；
3. 了解各种编程元件的工艺原理与特点；
4. 了解可编程器件的编程方法；
5. 了解 Altera 公司的可编程逻辑器件。

## 二、考核知识点与考核目标

### （一）PLD 的基本原理和设计技术（重点）

识记：1. PLD 所包含的模块种类

2. PLD 的分类方式

3. FPGA 的分类

理解：1. 简单 PLD 的基本结构和特点

2. EPLD 和 CPLD 的基本结构和 EPLD 和 CPLD 逻辑宏单元的特点

3. PGA 的基本结构和特点

4. LUT 原理

5. 基于 LUT 的 FPGA 结构的工作原理

6. 自顶向下的设计思想的特点

7. 在系统可编程的基本原理和编程方法

应用：熟练使用 PLD、FPGA、EPLD 和 CPLD 进行数字电路系统设计

(二) PLD 的编程与配置 (次重点)

识记: PLD 编程操作过程

理解: 1. PLD 的编程与配置工艺及其特点  
2. CPLD 的 ISP 方式编程特点  
3. 多 FPGA 芯片配置的电路连接方法

应用: 掌握 PLD 的编程与配置的方法

(三) Altera 公司的 PLD 系列产品简介 (一般)

## 第七章 EDA 技术的应用

### 一、学习目的与要求

1. 熟悉 VHDL 的组合逻辑、时序逻辑以及综合实例;
2. 熟悉 Verilog HDL 的组合逻辑、时序逻辑以及综合实例;
3. 了解 VHDL 和 Verilog HDL 实现系统设计的实例。

### 二、考核知识点与考核目标

(一) 组合逻辑电路设计应用 (重点)

识记: 组合电路的特点

理解: 1. VHDL 和 Verilog HDL 编程的异、同点  
2. 8 位乘法器的设计原理  
3. 编码器的设计原理  
4. 译码器的设计原理  
5. 数据选择器的设计原理  
6. 数据比较器的设计原理  
7. ROM 的设计原理与方法

应用: 进行组合电路的设计

(二) 时序电路的设计应用 (次重点)

识记: 时序电路的特点

理解: 1. 触发器的设计原理  
2. 锁存器的设计原理  
3. 移位寄存器的设计原理  
4. 计数器的设计原理  
5. RAM 的设计原理和方法

应用: 进行时序电路的设计

(三) 基于 EDA 的数字系统设计 (一般)

识记: 基于 EDA 的数字系统设计的特点

理解: 1. 计时器的设计原理与方法  
2. 万年历的设计原理与方法  
3. 数字频率计的设计原理与方法

应用: 进行数字系统的设计



## 第三部分 有关说明与实施要求

### 一、考核的能力层次表述

本大纲在考核目标中，按照“识记”、“理解”、“应用”三个能力层次规定其应达到的能力层次要求。各能力层次为递进等级关系，后者必须建立在前者的基础上，其含义是：

识记：能知道有关的名词、概念、知识的含义，是低层次的要求。

理解：在识记的基础上，能全面把握基本概念、基本原理\基本方法、能掌握有关概念原理\方法的区别与联系，是较高层次的要求。

应用：在理解的基础上，能运用基本概念、基本原理、基本方法联系学过的多个知识点分析和解决有关的理论和实际问题，是最高层次的要求。

### 二、教材

#### 1. 指定教材：

EDA 技术与应用，江国强，电子工业出版社，2013 年第 4 版

#### 2. 参考教材：

CPLD 技术及其应用，宋万杰，西安电子科技大学出版社

VHDL 程序设计，曾繁泰，清华大学出版社

EDA 技术及数字系统的应用，包明、曹阳，北京大学出版社

### 三、自学方法指导

1. 在开始阅读指定教材某一章之前，先翻阅大纲中有关这一章的考核知识点及对知识点的能力层次要求和考核目标，以便在阅读教材时做到心中有数，有的放矢。
2. 阅读教材时，要逐段细读，逐句推敲，集中精力，吃透每一个知识点，对基本概念必须深刻理解，对基本理论必须彻底弄清，对基本方法必须牢固掌握。
3. 在自学过程中，既要思考问题，也要做好阅读笔记，把教材中的基本概念、原理、方法等加以整理，这可从中加深对问题的认知、理解和记忆，以利于突出重点，并涵盖整个内容，可以不断提高自学能力。
4. 完成书后作业和适当的辅导练习是理解、消化和巩固所学知识，培养分析问题、解决问题及提高能力的重要环节，在做练习之前，应认真阅读教材，按考核目标所要求的不同层次，掌握教材内容，在练习过程中对所学知识进行合理的回顾与发挥，注重理论联系实际和具体问题具体分析，解题时应注意培养逻辑性，针对问题围绕相关知识点进行层次（步骤）分明的论述或推导，明确各层次（步骤）间的逻辑关系。
5. 本门课程的任务是利用 EDA 技术进行组合逻辑电路、时序逻辑电路和数字系统的设计及实现。要求考生边看书边在计算机上实践，利用 VHDL 语言和 Verilog HDL 语言对数字电路单元进行描述，对基本电路进行设计，巩固所学内容，加深对所学内容的理解。
6. 在学习本课程之前，必须认真复习《数字电子技术基础》和《数字电路设

计原理》等相关的资料，才能在学习本课程时，起到事半功倍的效果。

7. 深刻领会教材内容，将知识转化为能力，提高自己分析问题和解决问题的能力。在实验中用所学理论知识指导实践，提高实际动手能力。

#### 四、对社会助学的要求

1. 应熟知考试大纲对课程提出的总要求和各章的知识点。
2. 应掌握各知识点要求达到的能力层次，并深刻理解对各知识点的考核目标。
3. 辅导时，应以考试大纲为依据，指定的教材为基础，不要随意增删内容，以免与大纲脱节。
4. 辅导时，应对学习方法进行指导，宜提倡“认真阅读教材，刻苦钻研教材，主动争取帮助，依靠自己学通”的方法。
5. 辅导时，要注意突出重点，对考生提出的问题，不要有问即答，要积极启发引导。
6. 注意对考生能力的培养，特别是自学能力的培养，要引导考生逐步学会独立学习，在自学过程中善于提出问题，分析问题，做出判断，解决问题。
7. 要使考生了解试题的难易与能力层次高低两者不完全是一回事，在各个能力层次中会存在着不同难度的试题。
8. 助学学时：本课程共 3 学分，建议总课时 54 学时，其中助学课时分配如下：

章 次	内 容	学 时
第 1 章	EDA 技术概述	2.5
第 2 章	EDA 工具软件的使用方法	4.5
第 3 章	VHDL	11
第 4 章	Verilog HDL	11
第 5 章	常用 ED 工具软件	9
第 6 章	可编程逻辑器件	4
第 7 章	EDA 技术的应用	12
合 计		54

#### 五、关于命题考试的若干规定

1. 本大纲各章所提到的内容和考核目标都是考试内容。试题覆盖到章，适当突出重点。
2. 试卷中对不同能力层次的试题比例大致是：“识记”为 25%、“理解”为 40%、“应用”为 35%。
3. 试题难易程度应合理：易、较易、较难、难比例为 2：3：3：2。
4. 每份试卷中，各类考核点所占比例约为：重点占 60%，次重点占 30%，一般占 10%。
5. 试题类型一般分为：单项选择题、填空题、简答题、分析程序题、综合应用题和电路模块设计题等题型。
6. 考试采用闭卷笔试，考试时间 150 分钟，采用百分制评分，60 分合格。

## 六、题型示例（样题）

### 一、单项选择题（本大题共■小题，每小题■分，共■分）

在每小题列出的四个备选项中只有一个是符合题目要求的，请将其选出并将“答题卡”上的相应字母涂黑。错涂、多涂或未涂均无分。

1. 一个设计实体（电路模块）包括实体和结构体两部分，结构体描述
  - A. 器件外部特性
  - B. 器件的综合约束
  - C. 器件外部特性和内部功能
  - D. 器件的内部功能
2. 下列标识符中，属于不合法的标识符的是
  - A. State0
  - B. 9moon
  - C. Not\_Ack\_0D
  - D. Signal

### 二、填空题（本大题共■小题，每小题■分，共■分）

1. 现在电子设计技术的核心是\_\_\_\_\_技术。
2. 在 VHDL 中的并行语句主要有\_\_\_\_\_种。

### 三、简答题（本大题共■小题，每小题■分，共■分）

1. 简述 Quartus II 的原理图输入法的设计流程。

### 四、分析程序题（本大题共■小题，每小题■分，共■分）

1. 阅读下列 VHDL 程序，画出电路原理图。

```
LIBRARY IEEE;
USE IEEE. STD_LOGIC_1164. ALL;
ENTITY HAD IS
    PORT (a:IN STD_LOGIC;
          b:IN STD_LOGIC;
          C:OUT STD_LOGIC;
          D:OUT STD_LOGIC);
END HAD;
ARCHITECTURE fh1 OF HAD IS
BEGIN
    c<= NOT (a NAND b);
    d<= (a OR b) AND (a NAND b);
END fh1;
```

2. 阅读下列 Verilog HDL 程序，试分析该程序的作用。

```
library ieee;
use ieee. std_logic_1164. all;
entity adder is
    port (a, b, ci:in std_logic;
          so , co:out std_logic);
end entity adder;
architecture one of adder is
begin
    so<= a xor b xor ci;
    Co<= (a and b) or (a and ci) or (b and ci);
end architecture one;
```

### 五、综合应用题（本大题共■小题，每小题■分，共■分）

1. 分析下列程序回答以下问题：（1）写出程序的相应注释；（2）设 clk 为方波时钟，根

据 clk 绘制 cout 和 q 的波形，并说明程序的功能。

```
module cnt8 (clk , clrn, load , d , q, cout ) ;
    input[7:0] d ;
    input      clk , clrn load ;
    output reg[7:0] q ;
    output reg      cout ;
    always @ (posedge clk )
    begin
        if ( ~clrn ) q=0 ;
        else if (load) q=d ;
        else      q=q+1 ;
        Cout=&q ;
    end
endmodule
```

六、电路模块设计题（本大题共■小题，每小题■分，共■分）

1. 用 VHDL 语言进行 JK 触发器的设计，要求如下：

- （1）描述设计原理（包括 JK 触发器的特性表）；
- （2）根据 JK 触发器的工作原理，编写出它的设计的源程序。